

MANUFACTURE OF THIN FILM TRANSISTOR

Patent Number: JP5082550
Publication date: 1993-04-02
Inventor(s): KITAJIMA HIROSHI
Applicant(s): NEC CORP
Requested Patent: ☐ JP5082550
Application JP19910243378 19910924
Priority Number(s):
IPC Classification: H01L21/336; H01L29/784;
EC Classification:
Equivalents:

Abstract

PURPOSE: To reduce a leakage current in a transistor and to make it possible to obtain uniform transistor characteristics by a method wherein silicon ions are implanted in the parts other than a part, which comes into contact to a gate electrode via a gate insulating film, of a silicon thin film to turn the parts of the silicon thin film into an amorphous film and the amorphous regions are crystallized by a heat treatment.

CONSTITUTION: A thin film transistor is manufactured via a silicon ion implantation process and a heat treatment process. The silicon ion implantation process is a process wherein silicon ions 310 are implanted in the parts other than a part in contact with an upper gate electrode 303 via a gate insulating film (a gate oxide film) 304, of a silicon thin film (a polycrystalline silicon substrate) 305 for forming a channel of the thin film transistor and the parts of the thin film 305 are brought into an amorphous state. Moreover, the heat treatment process is a process for crystallizing amorphous regions 311 by a heat treatment. After that, phosphorus ions are ion-implanted using the electrode 303, for example, as a mask and after sidewalls 316 are respectively formed on the end parts of the electrode 303, arsenic ions 315 are ion implanted.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 5 - 8 2 5 5 0

(43) 公開日 平成 5 年 (1993) 4 月 2 日

(51) Int. Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/336
29/784
21/265

9056 - 4 M

H 0 1 L 29/78 3 1 1 P

8617 - 4 M

21/265 Q

審査請求 未請求 請求項の数 1

(全 5 頁)

(21) 出願番号 特願平 3 - 243378

(22) 出願日 平成 3 年 (1991) 9 月 24 日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目 7 番 1 号

(72) 発明者 北島 洋

東京都港区芝五丁目 7 番 1 号 日本電気株式
会社内

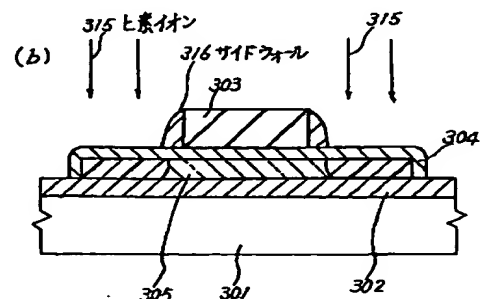
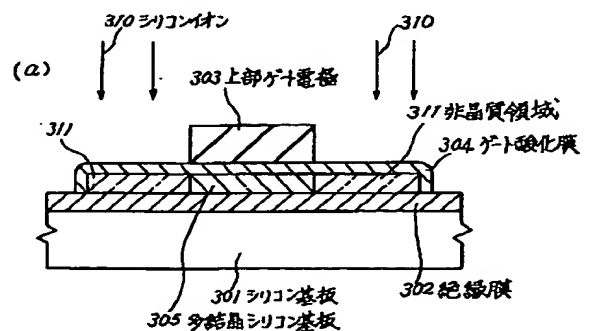
(74) 代理人 弁理士 菅野 中

(54) 【発明の名称】 薄膜トランジスタの製造方法

(57) 【要約】

【目的】 トランジスタの漏れ電流を減少させ、また特性の均一化を向上させる。

【構成】 MOS 型薄膜トランジスタにおいて、活性領域となる多結晶シリコン膜 305 のうち、ゲート電極 303 に接していない部分をシリコン注入によって一度非晶質化し、熱処理によって再結晶化する。



【特許請求の範囲】

【請求項1】 シリコンイオンの注入工程と熱処理工程とを有する薄膜トランジスタの製造方法であって、シリコンイオンの注入工程は、薄膜トランジスタのチャンネルが形成されるシリコン薄膜のうち、ゲート絶縁膜を介してゲート電極に接している部分以外のシリコン薄膜にシリコンイオンを注入してこれを非晶質化する工程であり、熱処理工程は、前記非晶質化領域を熱処理によって結晶化する工程であることを特徴とする薄膜トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は絶縁膜上のMOS (Metal Oxide Semiconductor) 型薄膜トランジスタの製造方法に関する。

【0002】

【従来の技術】 従来の薄膜トランジスタの製造方法を図5を用いて説明する。

【0003】 まず、図5 (a) に示すように、シリコン基板401上に、シリコン酸化膜などの絶縁膜402を形成する。次に、この絶縁膜402の上に導電性の膜 (たとえば不純物を高濃度にドーピングした多結晶シリコン膜) を堆積し、パターニングを行って、下部ゲート電極403を形成し、次にゲート酸化膜404となる二酸化シリコン膜を堆積する。その上に薄い多結晶シリコン膜405を堆積して活性領域を形成する。

【0004】 この多結晶シリコン膜405は、粒径が大きい方がリーク電流が小さく、また移動度も大きいことから、非晶質シリコン膜をまず堆積して、600℃前後の温度でゆっくり多結晶化する方法が用いられることが多い。

【0005】 次に図5 (b) に示すように、この多結晶シリコン膜405に、例えばフォトレジスト膜をマスクとして部分的に高濃度に不純物をイオン注入することによって、ソース領域406およびドレイン領域407を形成し、熱処理によって不純物の活性化を行えば、薄膜トランジスタの基本構造を形成することができる。

【0006】 図5に示した構造は、活性領域の下にゲート電極があることから下部ゲート型と呼ばれるが、活性領域となる多結晶シリコン膜405とゲート電極形成の順序を入れ換えれば、上部ゲート型薄膜トランジスタを形成することができる。

【0007】 液晶ディスプレイの場合には、絶縁膜402をシリコン基板401上に形成したものの代わりにガラス基板が用いられる。

【0008】

【発明が解決しようとする課題】 このようにして形成された薄膜トランジスタの活性領域は、多結晶シリコン膜であることから、内部には、結晶粒界あるいは格子欠陥

が多く存在する。

【0009】 従来の方法によって薄膜トランジスタを形成すると、結晶粒界あるいは格子欠陥の位置とは無関係に、トランジスタのチャンネル領域が形成されるため、結晶粒界あるいは格子欠陥がトランジスタのどの部分にあるかがトランジスタ特性に大きく影響する。とりわけ非晶質シリコンを600℃前後の温度でゆっくり多結晶化する方法を用いる場合には、特性のばらつきが大きくなるという傾向があった。

【0010】 本発明の目的は、トランジスタの漏れ電流を減少させ、均一なトランジスタ特性が得られる薄膜トランジスタの製造方法を提供することにある。

【0011】

【課題を解決するための手段】 前記目的を達成するため、本発明による薄膜トランジスタの製造方法においては、シリコンイオンの注入工程と熱処理工程とを有する薄膜トランジスタの製造方法であって、シリコンイオンの注入工程は、薄膜トランジスタのチャンネルが形成されるシリコン薄膜のうち、ゲート絶縁膜を介してゲート電極に接している部分以外のシリコン薄膜にシリコンイオンを注入してこれを非晶質化する工程であり、熱処理工程は、前記非晶質化領域を熱処理によって結晶化する工程であるものである。

【0012】

【作用】 薄膜トランジスタの特性は、ゲート絶縁膜を介してゲート電極に接しているチャンネル領域の膜質と、電界が集中するドレイン端部の多結晶シリコン薄膜の膜質によって強い影響を受ける。ゲート絶縁膜を介してゲート電極に接しているチャンネル領域に関しては、結晶粒径が大きいほど移動度が大きく、従って、結晶粒径を増大させることが望ましい。

【0013】 一方、電界が集中するドレイン端部に関しては、結晶粒界や格子欠陥がどの程度存在するかによって、薄膜トランジスタの漏れ電流が大きく異なることが予想される。多結晶シリコン薄膜のドレイン端部を一旦非晶質化し、熱処理によって多結晶化することによって、非晶質化されなかった領域を種とする多結晶化が生じる。

【0014】 このような方法を用いることによって、多結晶シリコン薄膜のドレイン端部に存在する結晶粒界や格子欠陥密度の低減および均一化を図ることができる。

【0015】 また薄膜トランジスタをどの程度の電圧で動作させるかによって、漏れ電流に対する結晶粒径の影響は大きく異なる。

【0016】 即ち、4V程度以上の電圧で動作させる場合には結晶粒径があまり大きくないほうが薄膜トランジスタの漏れ電流は小さい傾向がある。

【0017】 その様な応用に対し、本発明は、非晶質化した領域を多結晶化する条件を変えることによってドレイン端部の結晶粒径を独立に制御できるという特徴をも

有している。

【0018】

【実施例】次に本発明の実施例を図によって説明する。

【0019】図1は、本発明の第1の実施例の作製プロセスを説明するための縦断面図である。図1(a)に示すように、シリコン基板101上に、シリコン酸化膜などの絶縁膜102を形成し、その上に不純物を高濃度にドーピングした多結晶シリコン膜を堆積し、パターニングを行って下部ゲート電極103を形成する。

【0020】次いで、ゲート酸化膜104となる二酸化シリコン膜を堆積し、その上に薄い多結晶シリコン膜105を形成する。多結晶シリコン膜105の形成は、非晶質シリコンをまず堆積し、600℃の温度で10時間熱処理し多結晶化する。

【0021】次に、図1(b)に示したようにゲート電極103上の多結晶シリコン薄膜105だけをフォトリジスト膜109で被覆してからシリコンイオン110を $1 \times 10^{15} \text{ cm}^{-2}$ だけイオン注入し、ゲート電極103上の領域を除いて多結晶シリコン膜105を非晶質領域111とする。フォトリジスト膜109を除去し、600℃の温度で10時間熱処理することによって、非晶質化した領域111を再び多結晶化する。

【0022】次に、パターニングしたフォトリジスト膜をマスクにして、異方性エッチングによって多結晶シリコン膜105の一部を除去することによって素子分離を行う。図2は、このようにして形成した多結晶シリコン膜105に、フォトリジスト膜112をマスクにして部分的に BF_3 イオン113を $1 \times 10^{15} \text{ cm}^{-2}$ だけイオン注入し、熱処理によって不純物の活性化を行い、ソース領域106とドレイン領域107を形成したものである。この後、通常の製造プロセスと同様にしてカバー膜形成、配線形成を行い、更に窒化シリコン膜を堆積し450℃で熱処理を行った。

【0023】以上の方法で形成したP型薄膜トランジスタではゲート幅 $W = 1 \mu\text{m}$ 、ドレイン電圧 $V_d = -3.3 \text{ V}$ に対して漏れ電流が $1/3 \sim 1/5$ に減少し、閾値電圧やオン電流のばらつきが大幅に改善された。

【0024】漏れ電流を低減させるためにドレイン端にオフセット構造（ドレイン端に BF_3 イオンが注入されない領域を設ける）を形成する方法が用いられる場合があるが、その場合にはオン電流の低下が問題になる。

【0025】オフセット構造に対し本実施例を適用したところ、従来法に較べ本実施例を用いることによりオン電流の低下が少なく、例えばオフセット長 $0.4 \mu\text{m}$ でのオン電流は本実施例を用いないと1桁程度に減少してしまうのに対し、本実施例を用いることにより30%程度の減少に抑えることができた。

【0026】図3は、本発明の第2の実施例の作製プロセスを説明するための縦断面図である。第1の実施例では、図1(b)に示したようにゲート電極103上の領

域を除いて多結晶シリコン薄膜105を非晶質領域111とした後、600℃の温度で10時間処理することによって非晶質化した領域111を再び多結晶化したのが、600℃程度の温度で非晶質化した領域の多結晶化を行うことによって結晶粒径の増大を図ることが可能になる。

【0027】しかし、薄膜トランジスタの動作電圧が高くと、このような方法は漏れ電流の増大をもたらす。本発明の第2の実施例は、ガラス基板214を用い、図1

(b)と同様の構造を形成し、非晶質領域の多結晶化温度を800℃程度にしたものである。これによって第1の実施例とは別の効果を図ることができる。

【0028】次に、800℃で非晶質領域の多結晶化を行った後、第1の実施例と同様に素子分離を行った。次いで、図に示したように、多結晶シリコン膜205に、フォトリジスト膜212をマスクとして部分的にヒ素イオン215を $1 \times 10^{15} \text{ cm}^{-2}$ だけイオン注入し、熱処理によって不純物の活性化を行った。

【0029】この後通常の製造プロセスと同様にしてカバー膜形成、配線形成を行い、更に窒化シリコン膜を堆積し450℃で熱処理を行った。

【0030】この実施例では、ゲート絶縁膜を介してゲート電極に接している領域の多結晶シリコン膜は、低温固相成長で大粒径化が図られ（従って移動度は粒径の小さい膜より大きい）、ドレイン端の結晶粒径は800℃の多結晶化によって比較的小さくなっている。

【0031】その結果、従来例に較べると移動度は同程度で、ドレイン電圧5Vでの漏れ電流が $1/3$ 、ドレイン電圧10Vでの漏れ電流が1桁以上小さい薄膜トランジスタを得ることができた。このような方法は、たとえば動作電圧が10V程度である液晶ディスプレイなどに適している。

【0032】図4は、本発明の第3の実施例の作製プロセスを説明するための縦断面図である。この例は、上部ゲート型のN型トランジスタに適用したものである。図4(a)に示すように、シリコン基板301上にシリコン酸化膜などの絶縁膜302を形成する。

【0033】次いで、その上に薄い多結晶シリコン膜305を形成し（非晶質シリコンをまず堆積し、600℃の温度で10時間熱処理し多結晶化した）、パターニングしたフォトリジスト膜をマスクにして異方性エッチングによって素子分離を行った。次に、ゲート酸化膜304となる二酸化シリコン膜を堆積し、その上に不純物を高濃度にドーピングした多結晶シリコン膜を堆積し、パターニングを行って上部ゲート電極303を形成する。

【0034】この後ゲート電極303をマスクにしてシリコンイオン310を $1 \times 10^{15} \text{ cm}^{-2}$ だけイオン注入し、ゲート電極303の下以外の領域の多結晶シリコン膜305を非晶質領域311とする。

【0035】次に図4(b)に示すように、600℃の

温度で10時間熱処理を行い、非晶質化した領域311を再び多結晶化する。

【0036】多結晶化は、非晶質化しなかった領域を種として起こるため、結晶粒径はゲート電極下の多結晶膜よりも増大した。ゲート電極303をマスクにしてリンイオンを $3 \times 10^{13} \text{ cm}^{-2}$ だけイオン注入した。ゲート電極端部に酸化膜によるサイドウォール316を形成した後、ヒ素イオン315（ソース領域およびドレイン領域となる）を $1 \times 10^{15} \text{ cm}^{-2}$ だけイオン注入し、不純物の活性化を行った。

【0037】続いて通常の製造プロセスに従ってカバー膜形成、配線形成を行い、更に窒化シリコン膜を堆積し、450℃で熱処理を行った。

【0038】上部ゲート型薄膜トランジスタの場合、LDD（Lightly Doped Drain）構造と組み合わせることによって、特性改善は著しく、特に $V_d = 3.3 \text{ V}$ での漏れ電流は $0.01 \text{ pA}/\mu\text{m}$ まで改善された。

【0039】上部ゲート型薄膜トランジスタの場合には、ゲート電極をマスクとしてシリコンイオン注入を行うことができるので、PR工程の追加なしに本発明を適用することができる。

【0040】

【発明の効果】以上説明したように本発明の薄膜トランジスタの製造方法によれば、非晶質化領域を結晶化する際の温度を600℃程度にすることによって、ドレイン端での結晶粒径を増大させることができ、薄膜トランジスタ特性の均一化と、ドレイン電圧 V_d が4V程度以下における漏れ電流の大幅な低減を達成することができる。

【0041】また非晶質化領域を結晶化する際の温度を

高温（例えば800℃）にすることで、ドレイン端での結晶粒径を適度に小さくすることができ、その結果、ドレイン電圧 V_d が5V程度以上での漏れ電流を低温固相成長膜に比べ $1/3 \sim 1/10$ 程度に低減することができる。

【図面の簡単な説明】

【図1】（a）、（b）は、本発明の第1の実施例を工程順に示した縦断面図である。

【図2】第1の実施例の最終工程を示す断面図である。

【図3】本発明の第2の実施例を示した縦断面図である。

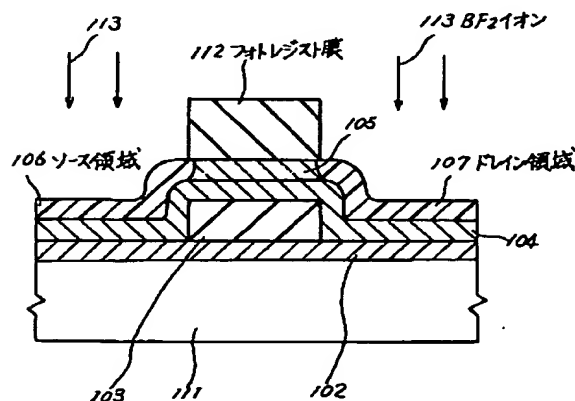
【図4】（a）、（b）は、本発明の第3の実施例を示した縦断面図である。

【図5】（a）、（b）は、従来の下部ゲート型薄膜トランジスタの製造方法を工程順に示す断面図である。

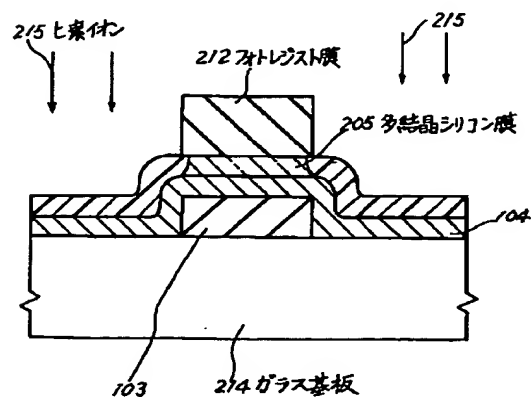
【符号の説明】

- 101, 201, 301 シリコン基板
- 102, 202, 302 絶縁膜
- 103, 303 下部ゲート電極
- 104, 304 ゲート酸化膜
- 105, 205, 305 多結晶シリコン膜
- 106 ソース領域
- 107 ドレイン領域
- 109, 112, 212 フォトリソグ膜
- 110 シリコンイオン
- 111, 311 非晶質領域
- 113 BF_3 イオン
- 214 ガラス基板
- 215, 315 ヒ素イオン
- 316 サイドウォール

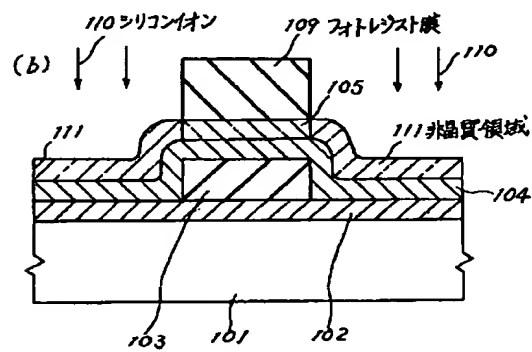
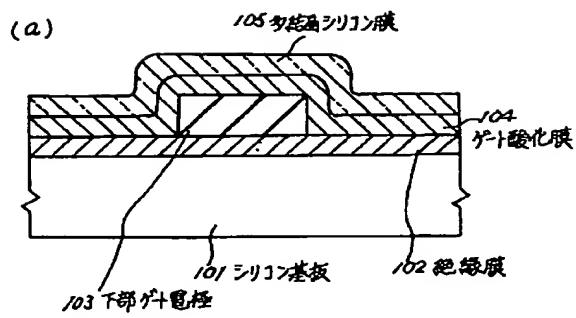
【図2】



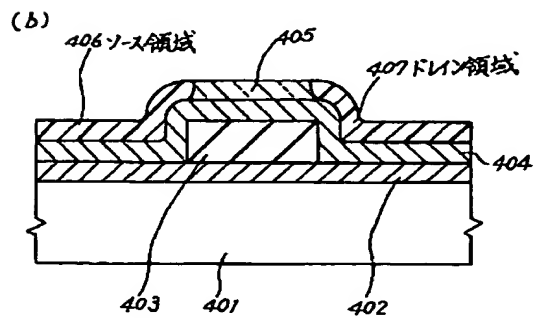
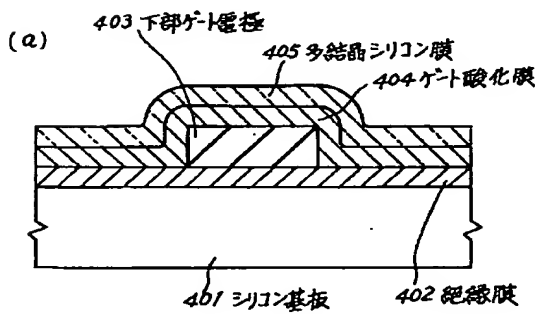
【図3】



【図1】



【図5】



【図4】

